

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 2 月 1 0 日

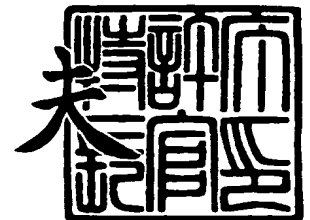
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 5 7 8 6 3
[ST. 10/C]: [J P 2 0 0 2 - 3 5 7 8 6 3]

出 願 人
Applicant(s): セイコーエプソン株式会社

2 0 0 3 年 9 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 3 5 1 1

【書類名】 特許願

【整理番号】 EP-0415201

【提出日】 平成14年12月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 名取 完治

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイを有し、

前記複数のメモリセルの各々は、ソース領域と、ドレイン領域と、前記ソース領域及び前記ドレイン領域間のチャネル領域と対向して配置されたワードゲート及びセレクトゲートと、前記ワードゲートと前記チャネル領域との間に形成された不揮発性メモリ素子とを有し、

前記メモリセルアレイは、

前記行方向に沿って配置された各行の前記複数のメモリセルの前記ワードゲートにそれぞれ共通接続された複数のワード線と、

前記列方向に沿って配置された各列の前記複数のメモリセルの前記ドレイン領域または前記ソース領域のいずれかにそれぞれ共通接続された複数のビット線と、

前記ワード線を駆動するワード線駆動部と、

前記ビット線を駆動するビット線駆動部と、

を有し、

前記ワード線駆動部は、複数の単位ワード線駆動部を有し、

前記複数の単位ワード線駆動部の各々は、前記列方向にて隣接する2つの前記ワードゲートにそれぞれ接続されている2本の前記ワード線を駆動することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 請求項 1 において、

前記複数の単位ワード線駆動部の各々に駆動される前記 2 本のワード線は、互いに短絡されていることを特徴とする不揮発性記憶装置。

【請求項 3】 請求項 1 または 2 において、

前記複数のメモリセルの各々は、前記チャネル領域に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有し、

前記セレクトゲートは前記第1の領域の上に配置され、前記ワードゲートは前記第2の領域上に前記不揮発性メモリを介して配置されていることを特徴とする不揮発性記憶装置。

【請求項 4】 請求項 1 または 2 において、

前記複数のメモリセルの各々は、前記チャネル領域に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有し、

前記ワードゲートは前記第1の領域上に前記不揮発性メモリを介して配置され、前記セレクトゲートは前記第2の領域の上に配置されていることを特徴とする不揮発性記憶装置。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、

前記メモリセルアレイは、前記行方向に沿って配置された各行の前記複数のメモリセルの前記セレクトゲートにそれぞれ共通接続された複数のセレクト線と、前記複数のセレクト線を駆動するセレクト線駆動部と、を有し、

前記セレクト線駆動部は、複数の単位セレクト線駆動部を有し、

前記複数の単位セレクト線駆動部の少なくとも一つは、前記列方向にて隣接する 2 つの前記セレクトゲートにそれぞれ接続されている 2 本の前記セレクト線を駆動することを特徴とする不揮発性記憶装置。

【請求項 6】 請求項 5 において、

前記複数の単位セレクト線駆動部の少なくとも一つによって駆動される前記 2 本のセレクト線は、互いに短絡されていることを特徴とする不揮発性記憶装置。

【請求項 7】 請求項 1 乃至 6 のいずれかにおいて、

前記不揮発性メモリ素子は、2つの酸化膜（O）の間に窒化膜（N）を有するONO膜で形成されていることを特徴とする不揮発性記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、ワードゲート及びセレクトゲートにより制御される不揮発性メモリ素子を備えた不揮発性半導体記憶装置に関する。

【0002】

【背景技術】

不揮発性半導体記憶装置の一例として、チャネルとゲートとの間のゲート絶縁膜が、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜の積層体からなり、窒化シリコン膜に電荷がトラップされるMONOS (Metal-Oxide-Nitride-Oxide-Semiconductorまたは-substrate) 型が知られている。

【0003】

MONOS型不揮発性半導体記憶装置として、1つの選択ゲートと、1つの制御ゲートにより制御される不揮発性メモリ素子 (MONOSメモリ素子) を備えたMONOSフラッシュメモリセルが開示されている。(例えば、特許文献1、特許文献2及び特許文献3参照)

【0004】

【特許文献1】

特開平6-181319号公報

【特許文献2】

特開平11-74389号公報

【特許文献3】

米国特許5408115号明細書

【0005】

【発明が解決しようとする課題】

本発明は、レイアウト面積の小さい不揮発性半導体記憶装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明の不揮発性半導体記憶装置は、
行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイを有し、

前記複数のメモリセルの各々は、ソース領域と、ドレイン領域と、前記ソース領域及び前記ドレイン領域間のチャネル領域と対向して配置されたワードゲート

及びセレクトゲートと、前記ワードゲートと前記チャネル領域との間に形成された不揮発性メモリ素子とを有し、

前記メモリセルアレイは、

前記行方向に沿って配置された各行の前記複数のメモリセルの前記ワードゲートにそれぞれ共通接続された複数のワード線と、

前記列方向に沿って配置された各列の前記複数のメモリセルの前記ドレイン領域または前記ソース領域のいずれかにそれぞれ共通接続された複数のビット線と

、

前記ワード線を駆動するワード線駆動部と、

前記ビット線を駆動するビット線駆動部と、

を有し、

前記ワード線駆動部は、複数の単位ワード線駆動部を有し、

前記複数の単位ワード線駆動部の各々は、前記列方向にて隣接する2つの前記ワードゲートにそれぞれ接続されている2本の前記ワード線を駆動できる。

【0007】

上記の構成によると、単位ワード線駆動部の数がメモリセルアレイ内の全ワード線の数よりも半減するので、ワード線駆動部のレイアウト面積を小さくすることができる。

【0008】

前記複数の単位ワード線駆動部の各々に駆動される前記2本のワード線を、互いに短絡することができる。これにより、単位ワード線駆動部は、前記2本のワード線を同時駆動できる。

【0009】

前記複数のメモリセルの各々は、前記チャネル領域に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有することができる。前記セレクトゲートを前記第1の領域の上に配置することができ、前記ワードゲートを前記第2の領域上に前記不揮発性メモリを介して配置することができる。

【0010】

前記複数のメモリセルの各々は、前記チャネル領域に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有することができる。前記ワードゲートを前記第1の領域上に前記不揮発性メモリを介して配置することができ、前記セレクトゲートを前記第2の領域の上に配置することができる。

【0 0 1 1】

前記メモリセルアレイは、前記行方向に沿って配置された各行の前記複数のメモリセルの前記セレクトゲートにそれぞれ共通接続された複数のセレクト線と、前記複数のセレクト線を駆動するセレクト線駆動部とを有することができる。前記セレクト線駆動部は、複数の単位セレクト線駆動部を有することができる。前記複数の単位セレクト線駆動部の少なくとも一つは、前記列方向にて隣接する2つの前記セレクトゲートにそれぞれ接続されている2本の前記セレクト線を駆動することができる。

【0 0 1 2】

上記の構成によると、単位セレクト線駆動部の数を全セレクト線よりも少なくすることができるので、セレクト線駆動部のレイアウト面積を小さくすることができる。これは製造コスト削減の効果を奏する。

【0 0 1 3】

前記複数の単位セレクト線駆動部の少なくとも一つは、前記列方向に隣接する2つの前記セレクトゲートにそれぞれ接続されている2本の前記セレクト線を互いに短絡させて駆動することができる。これにより、単位セレクト線駆動部の数は、全セレクト線の半分にすることができ、製造コスト削減の効果を奏する。

【0 0 1 4】

前記不揮発性メモリ素子を、2つの酸化膜（O）の間に窒化膜（N）を有するONO膜で形成することができる。

【0 0 1 5】

【発明の実施の形態】

以下、本発明の一実施形態について、図面を参照して説明する。

【0 0 1 6】

(全体構成とメモリブロック)

図1は、本実施形態の全体構成を表すブロック図である。メモリセルアレイ4000は、複数のメモリブロック400を備える。電源回路100からは複数種の電圧が発生される。発生された複数種の電圧は、複数の電圧供給線により各メモリブロック400へ供給される。また、ビットライン駆動部(図示せず)を備える。

【0017】

図2は、メモリブロック400を詳細に示した回路図である。メモリブロック400は複数のメモリセル410を備える。また、メモリブロック400は、ワードライン駆動部300、セレクトライン駆動部500及びソースライン駆動部700を備える。

【0018】

ワードライン駆動部300は、複数の単位ワードライン駆動部310から構成されている。ワードライン駆動部300の内部の単位ワードライン駆動部310の各々が、単位ワードライン駆動部310に接続されたワードライン50それぞれを駆動する。

【0019】

同様に、セレクトライン駆動部500は、複数の単位セレクト駆動部510から構成され、単位セレクト駆動部510に接続されたセレクトライン70を、単位セレクトライン駆動部510が駆動する。ソースライン駆動部700は、複数のソースライン80を駆動する。

【0020】

図2中の点線で丸く囲まれた部分が、一つのメモリセル410である。メモリセル410は、セレクトゲート411、ワードゲート412及びONO膜413を有する。符号417は、ONO膜を構成する窒化膜を表す。メモリセル410の構造については、後に詳細を述べる。

【0021】

各ワードライン50は行方向Aに沿って設けられ、複数のメモリセル410のそれぞれのワードゲート412を共通接続する。また、各セレクトライン70は

行方向Aに沿って設けられ、複数のメモリセル410のそれぞれのセレクトゲート411を共通接続する。

【0022】

各ビットライン60は列方向Bに沿って設けられ、複数のメモリセル410のそれぞれのビットライン拡散層BLD（後に図示する）を共通接続する。また、各ソースライン80は行方向Aに沿って設けられ、複数のメモリセル410のそれぞれのソースライン拡散層SLD（後に図示する）を共通接続する。

【0023】

図2によると、複数のワードライン50のうち、隣り合う2本のワードライン50の例えば両端が短絡され、一つの単位ワードライン駆動部310に接続されている。こうすることで、2本のワードライン50を一つの単位ワードライン駆動部310で駆動できる。これにより、単位ワードライン駆動部310の数を半分にすることができるので、ワードライン駆動部300のレイアウト面積を縮小できる。上述の内容について、セレクトライン駆動部500においても同様のことが言える。つまり、単位セレクトライン駆動部510のそれぞれが、2本のセレクトライン70を駆動している。これにより、単位セレクトライン駆動部510の数も半分にすることができ、セレクトライン駆動部500のサイズを小さくできる。これらは、製造コスト削減の効果がある。

【0024】

さらに、隣り合う2本のワードライン50の両端、または隣り合う2本のセレクトライン70の両端を短絡することによって、各メモリセル410に電圧が印加されたときのチャージアップ時間のばらつきが緩和される。

【0025】

図3は、メモリセル410の断面図である。符号414は基板を表す。ソース・ドレイン領域（図3中のN+で示された拡散層）に挟まれたチャンネル領域上にセレクトゲート411及びワードゲート412が絶縁体膜（例えばSiO₂）416を介して配置されている。前記絶縁体膜416は、窒化酸化膜でも形成することができる。また、ワードゲート412とチャンネル領域との間にL字状にONO膜413が形成されている。L字状でなく、単にワードゲート412とチャンネル領域との

間に積層して形成することも可能である。セレクトゲート 411 及びワードゲート 412 はポリシリコンで形成することができる。ONO 膜 413 は、窒化膜 417 (例えば SiN) を酸化膜 416 (例えば SiO₂) で挟むようにして形成することができる。また、セレクトゲート 411 及びワードゲート 412 の表面には、シリサイド 415 を形成することができる。シリサイド 415 として、例えば Co シリサイドまたは Ti シリサイドを使用することができる。これによりセレクトゲート 411 及びワードゲート 412 の負荷抵抗値を下げることができる。

【0026】

図 4 は、本実施形態のメモリブロック 400 の一部を示した断面図である。図 4 によると、B 方向で隣り合う 2 つのメモリセル 410 は、各々のセレクトゲート 411 に挟まれたビットライン拡散層 BLD を共用する。また、B 方向で隣り合う 2 つのメモリセル 410 は、各々のワードゲート 412 に挟まれたソースライン拡散層 SLD を共用する。図 4 の断面では、それぞれのビットライン拡散層 BLD はビットライン 60 に共通接続される。上記の構造とは別に、ビットライン拡散層 BLD とソースライン拡散層 SLD とは互いに入れ替えて構成することもできる。その場合は、ビットライン駆動部 (図示せず) の出力電圧とソースライン駆動部 700 の出力電圧を互いに入れ替えればよい。

【0027】

図 5 は、図 4 を立体的に表した概略斜視図である。図 5 によると、素子分離部例えば STI (Shallow-Trench-Isolation) によって、A 方向にてビットライン拡散層 BLD が素子分離されている。これにより、各々のビットライン 60 を、行方向 A に沿って配列された複数のメモリセル 410 毎に、電氣的に分離することができる。ワードゲート 412 は列方向 A に素子が連続して形成されているので、これをもってワードライン 50 と兼用できるが、ワードゲート 412 に沿って金属配線を裏打ちし、その金属配線をワードライン 50 としても良い。

【0028】

(動作説明)

本実施形態では、各メモリセル 410 へのアクセスは、メモリブロック 400 単位で行われる。つまり、メモリセル 410 を選択するためには、まず、メモリ

ブロック 400 を選択し、さらにメモリセル 410 を選択する。選択されたメモリセル 410 を選択メモリセルと呼ぶ。選択メモリセルを有するメモリブロック 400 を選択メモリブロック、それ以外のメモリブロック 400 を非選択メモリブロックと呼ぶ。

【0029】

複数のワードライン 50 のうち、選択されたワードライン 50 を選択ワードライン、それ以外のワードライン 50 を非選択ワードラインと呼ぶ。複数のビットライン 60 のうち、選択されたビットライン 60 を選択ビットライン、それ以外のビットライン 60 を非選択ビットラインと呼ぶ。

【0030】

複数のセレクトライン 70 のうち、選択されたセレクトライン 70 を選択セレクトライン、それ以外のセレクトライン 70 を非選択セレクトラインと呼ぶ。複数のソースライン 80 のうち、選択されたソースライン 80 を選択ソースライン、それ以外のソースライン 80 を非選択ソースラインと呼ぶ。

【0031】

また、非選択メモリブロック中のワードライン 50、ビットライン 60、セレクトライン 70 及びソースライン 80 は、すべての動作において、すべて非選択電圧としての 0 V に設定されている。

【0032】

以下、イレーズ、プログラム、リードの各動作について図を参照しながら説明する。

【0033】

(イレーズ)

図 6 は、図 2 のメモリブロック 400 に、イレーズ時の電圧印加状態をあわせて表した図である。説明のために、図 6 には選択メモリブロックの一部のみが図示されている。以下の図 7、8、10 及び 11 も、同様の理由から選択メモリブロックの一部のみが図示されている。符号 WL 1～4 はそれぞれ、ワードライン 50 を表す。符号 BL はビットライン 60 を表す。符号 SG 1～3 はそれぞれ、セレクトライン 70 を表す。符号 SL 1～4 はそれぞれ、ソースライン 80 を表

す。以下の図において、図6と同符号のものは、図6の同符号のものが表す意味と同様の意味を表す。

【0034】

イレースは、選択メモリブロック内すべてのメモリセル410に対して行われる。つまり、選択メモリブロック内のすべてのメモリセル410が選択メモリセルとなり、イレースはブロック単位で行われる。選択メモリブロック内のすべてのワードライン50（ワードラインWL1～4を含む）はすべて消去用ワード電圧（-3V）にチャージアップされている。また、メモリブロック内のすべてのソースライン80（ソースラインSL1～4を含む）はすべて消去用ソース電圧（5V）にチャージアップされている。さらに、メモリブロック内のすべてのビットライン60及びセレクトライン70（セレクトラインSG1～3を含む）は消去用ビット電圧及びセレクト電圧（0V）に設定される。

【0035】

前述のような電圧印加状態になると、ソースライン拡散層SLDとビットライン拡散層BLDの間のチャネル領域にチャネルが形成される。ところが、選択ブロック内のメモリセル410の各ワードゲート412は消去用ワード電圧（-3V）にチャージアップされているので、各ワードゲート412とソースライン拡散層SLDの間に電界が生じる。その結果で生じたホットホールにより、ONO膜413にトラップされていた電荷（電子）を消去できるのである。

【0036】

本実施形態では、ホットホールによってデータ消去を行ったが、FN（Fowler-Norheim）消去という手法を用いることもできる。これは、FNトンネリングを用いたもので、ONO膜413に所定の電界（例えば電圧差15V）をかけると、ONO膜内の電荷（電子）はトンネル効果によってONO膜413の外部へ放出されるという原理である。

【0037】

（プログラム）

図7は、図2のメモリブロック400に、プログラム時の電圧印加状態をあわせて表した図である。点線で丸く囲まれたメモリセル420が選択メモリセルで

ある。

【0038】

図7によると、セレクトラインSG2（選択セレクトライン）はプログラム用選択セレクト電圧（1V）にチャージアップされ、ワードラインWL2（選択ワードライン）はプログラム用選択ワード電圧（5.5V）にチャージアップされている。ソースラインSL2（選択ソースライン）はプログラム用選択ソース電圧（5V）にチャージアップされ、ソースラインSL1、SL3及びSL4を含む非選択ソースラインはすべてプログラム用非選択ソース電圧（0V）に設定されている。また、ビットラインBLを含む選択ビットラインはすべてプログラム用選択ビット電圧（0V）に設定され、その他のビットライン60つまり選択メモリブロック中の非選択ビットラインはすべてプログラム用非選択ビット電圧（Vcc）に設定されている。ワードラインWL1、WL3及びWL4を含む非選択ワードラインはすべてプログラム用非選択ワード電圧（0V）に設定されている。セレクトラインSG1、SG3を含む非選択セレクトラインはすべてプログラム用非選択セレクト電圧（0V）に設定されている。

【0039】

前述のような電圧印加状態になると、選択メモリセルの両側にあるソースライン拡散層SLDとビットライン拡散層BLDの間のチャネル領域にチャネルが形成される。そして、選択メモリセルのセレクトゲート411はプログラム用選択セレクト電圧（1V）にチャージアップされているので、チャネル領域に飛び出した電子はホットエレクトロンとなる。さらに選択メモリセルのワードゲート412はプログラム用選択ワード電圧（5.5V）にチャージアップされているので、ホットエレクトロンはワードゲート412側に引き寄せられる。このとき、引き寄せられたホットエレクトロンは、ONO膜413によりトラップされる。

【0040】

以上が選択メモリセルに対してのデータ書き込み（プログラム）の原理である。ところが、本実施形態では、1つのワードライン50から2つのメモリセル410のそれぞれのワードゲート412へ同時に電圧印加を行っている。同様に、1つのセレクトライン70から2つのメモリセル410のそれぞれのセレクトゲ

ート 4 1 1 へ同時に電圧印加を行っている。これらが可能である理由を以下に説明する。

【0041】

図 7 のワードライン WL 2 は、選択メモリセルのワードゲート 4 1 2 の他に、選択メモリセルと隣り合う非選択メモリセル（図 7 の点線で四角く囲まれた選択ワードゲートメモリセル 4 3 0）のワードゲート 4 1 2 にもプログラム用選択ワード電圧（5.5 V）を印加している。また、選択ワードゲートメモリセル 4 3 0 に隣接するソースライン拡散層 SL D にもソースライン SL 2 よりプログラム用選択ソース電圧（5 V）が印加されている。

【0042】

しかしながら、選択ワードゲートメモリセル 4 3 0 のセレクトゲート 4 1 1 に電圧を印加するセレクトライン SG 1 はプログラム用非選択セレクト電圧（0 V）のままなので、選択ワードゲートメモリセル 4 3 0 のチャネルには、電子が流れない。このため、ビットライン拡散層 BL D 付近ではホットエレクトロンが発生せず、選択ワードゲートメモリセル 4 3 0 の ONO 膜内のデータを破壊するような影響を及ぼさない。

【0043】

図 7 のセレクトライン SG 2 は、選択メモリセルのセレクトゲート 4 1 1 の他に、選択メモリセルと隣り合う非選択メモリセル（図 7 の点線で四角く囲まれた選択セレクトゲートメモリセル 4 4 0）のセレクトゲート 4 1 1 にもプログラム用選択セレクト電圧（1 V）を印加している。

【0044】

しかしながら、選択セレクトゲートメモリセル 4 4 0 に隣接するソースライン拡散層 SL D へ電圧を印加するソースライン SL 3 はプログラム用非選択ソース電圧（0 V）のままなので、選択セレクトゲートメモリセル 4 4 0 のチャネル領域には、電子が流れないためホットエレクトロンが発生しない。このため、選択セレクトゲートメモリセル 4 4 0 の ONO 膜内のデータを破壊するような影響を及ぼさない。

【0045】

(リード)

図8は、図2のメモリブロック400に、リード時の電圧印加状態をあわせて表した図である。点線で丸く囲まれたメモリセル420が選択メモリセルである。

【0046】

図8によると、セレクトラインSG2（選択セレクトライン）はリード用選択セレクト電圧（電源電圧 V_{cc} ）にチャージアップされ、ワードラインWL2（選択ワードライン）はリード用選択ワード電圧（1.5V）にチャージアップされている。ソースラインSL1～4を含むすべてのソースライン80はすべてリード用選択ソース電圧（0V）に設定されている。また、ビットラインBLを含む選択ビットラインはすべてリード用選択ビット電圧（ V_{sa} 、例えば電圧1V）に設定され、その他のビットライン60つまり選択メモリブロック中の非選択ビットラインはすべてリード用非選択ビット電圧（0V）に設定されている。ワードラインWL1、WL3及びWL4を含む非選択ワードラインはすべてリード用非選択ワード電圧（0V）に設定されている。セレクトラインSG1、SG3を含む非選択セレクトラインはすべてリード用非選択セレクト電圧（0V）に設定されている。

【0047】

前述のような電圧印加状態になると、選択メモリセルのワードゲート412及びセレクトゲート411によって選択メモリセルのビットライン拡散層BLD及びソースライン拡散層SLDの間にチャネルが形成される。この時ビット線BLは電圧 V_{sa} にチャージアップされているのでチャネル領域に電流（ I_{DS} ）が流れる。

【0048】

メモリセル410のワードゲート412、ONO膜、チャネル領域の3層構造は、MOSトランジスタと見なすことができる。このとき、ONO膜に電荷がトラップされている状態では、電荷がトラップされていない状態より閾値が高くなる。図9が前述の電荷の有無と、ソースライン拡散層SLDとビットライン拡散層BLDとの間に流れる電流についての相関関係を表した図である。

【0 0 4 9】

図 9 によると、ワードゲート 4 1 2 に電圧 V_{read} を印加した時において、ONO 膜に電荷がトラップされていない場合は電流 I_{DS} は、たとえば約 $20 \mu A$ 流れるが、電荷がトラップされている場合では電流 I_{DS} はあまり流れない。つまり、ONO 膜に電荷がトラップされていると、トランジスタの閾値が高くなるので、ワードゲート 4 1 2 への印加電圧が、電圧 V_{read} では、電流 I_{DS} があまり流れないのである。

【0 0 5 0】

この電流の大小を各ビットライン 6 0 に配置されているセンスアンプ（図示せず）で読みとることで、選択メモリセルに保持されているデータを読みとることができる。

【0 0 5 1】

以上が選択メモリセルに対してのデータ読み込み（リード）の原理である。ところが、本実施形態では、1 つのワードライン 5 0 から 2 つのメモリセル 4 1 0 のそれぞれのワードゲート 4 1 2 へ同時に電圧印加を行っている。同様に、1 つのセレクトライン 7 0 から 2 つのメモリセル 4 1 0 のそれぞれのセレクトゲート 4 1 1 へ同時に電圧印加を行っている。

【0 0 5 2】

これらが可能である理由は、前述のプログラム時と同様である。つまり、複数のメモリセル 4 1 0 から、選択メモリセルとして一つのメモリセル 4 1 0 にアクセスするためには、アクセスしたいメモリセル 4 1 0 のセレクトゲート 4 1 1 及びワードゲート 4 1 2 に所定の電圧を印加する必要がある。セレクトゲート 4 1 1 またはワードゲート 4 1 2 のいずれか一方にでも所定の電圧が印加されなければ、選択メモリセルにはなり得ないのである。

【0 0 5 3】

本実施形態では、同一ビットライン 6 0 に接続されている複数のメモリセル 4 1 0 のうち、セレクトゲート 4 1 1 及びワードゲート 4 1 2 の両方に所定の電圧が印加されるのは、必ず 1 つのメモリセル 4 1 0（つまり選択メモリセル）のみである。

【0054】

なお、本実施形態では、リバースリードを行っている。つまり、ソースライン拡散層SLDとビットライン拡散層BLDとにおいて、プログラム時は、ソースライン拡散層SLDに高電圧を印加したのに対して、リード時は、ビットライン拡散層BLDへ高電圧を印加している。リバースリードは、リード時の電流読み出しの精度を上げることができるが、読み出し方法としてフォワードリードを用いることも可能である。その場合、本実施形態でのソースライン拡散層SLDとビットライン拡散層BLDとのそれぞれに印加する電圧値が、お互い入れ替わることになる。

【0055】

(比較例との対比と、効果)

図10は、第1比較例におけるメモリブロック400の回路図である。符号WL1～6はそれぞれ、ワードライン50を表す。符号SG1～6はそれぞれ、セレクトライン70を表す。以下の図において、図10と同符号のものは、図10の同符号のものが表す意味と同様の意味を表す。

【0056】

図10によると、第1比較例のメモリブロック400内の複数のメモリセル410のそれぞれに、ワードライン50及びセレクトライン70が1本ずつ接続されている。ワードライン50及びセレクトライン70はそれぞれ単位ワードライン駆動部310または単位セレクトライン駆動部510によって駆動される。つまり、第1比較例は、単位ワードライン駆動部310及び単位セレクトライン駆動部510をセレクトライン70の数だけ、必要とする。さらに、配線ピッチに制限があるので、多数の駆動部を配置するためには、配置方法に工夫が必要となる。これらは、結果的にレイアウト面積の増大につながる。

【0057】

第1比較例に比べて、本実施形態は、ワードライン50及びセレクトライン70の数がそれぞれ半分になっている。このため、単位ワードライン駆動部310及び単位セレクトライン駆動部510それぞれが必要とされる数も半分になる。

【0058】

比較的大きなレイアウト面積を必要とする単位ワードライン駆動部 310 及び単位セレクトライン駆動部 510 の数を減らすことで、ワードライン駆動部 300 及びセレクトライン駆動部 500 のレイアウト面積を大幅に小さく設計することができる。

【0059】

図 11 は、第 2 比較例におけるメモリブロック 400 の回路図である。図 11 によると、1 本のワードライン 50 は、2 つのメモリセル 410 それぞれの有するワードゲート 412 の両方に接続されている。これにより、単位ワードライン駆動部 310 の数は、比較例 1 での単位ワードライン駆動部 310 の数の半分にできるので、ワードライン駆動部 300 のレイアウト面積を小さくできる。しかし、セレクトライン 70 は一つのセレクトゲート 411 にのみ接続されているので、単位セレクトライン駆動部 510 を同一ビットライン 60 に接続されているメモリセル 410 の数だけ必要とする。第 2 比較例にくらべて、本実施形態は、単位セレクトライン駆動部 510 の必要な数も、同一ビットライン 60 に接続されている複数のメモリセル 410 の数より大幅に少なくできるので、セレクトライン駆動部 500 のレイアウト面積を小さくできる。

【0060】

つまり、本実施形態を用いると、ワードライン駆動部 300 及びセレクトライン駆動部 500 のレイアウト面積を大幅に小さくすることが可能となる。これらは、製造コストの大幅な削減を可能にする。

【0061】

以上のようにして、本発明はレイアウト面積の小さい不揮発性半導体記憶装置を提供できる。

【0062】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【図面の簡単な説明】

【図 1】 本発明の一実施形態に係る全体図である。

【図 2】 本発明のメモリブロックの構成図である。

【図 3】 メモリセルの構造を示す断面図である。

【図 4】 本発明の一実施形態に係るメモリブロックの断面構造図である。

【図 5】 図 4 を立体的に示す概略斜視図である。

【図 6】 本発明の一実施形態に係るイレース時の電圧印加状態を示すメモリブロックの部分図である。

【図 7】 本発明の一実施形態に係るプログラム時の電圧印加状態を示すメモリブロックの部分図である。

【図 8】 本発明の一実施形態に係るリード時の電圧印加状態を示すメモリブロックの部分図である。

【図 9】 ONO 膜内の電荷の有無と流れる電流の関係を表す図である。

【図 10】 第 1 比較例に係るメモリブロックの部分図である。

【図 11】 第 2 比較例に係るメモリブロックの部分図である。

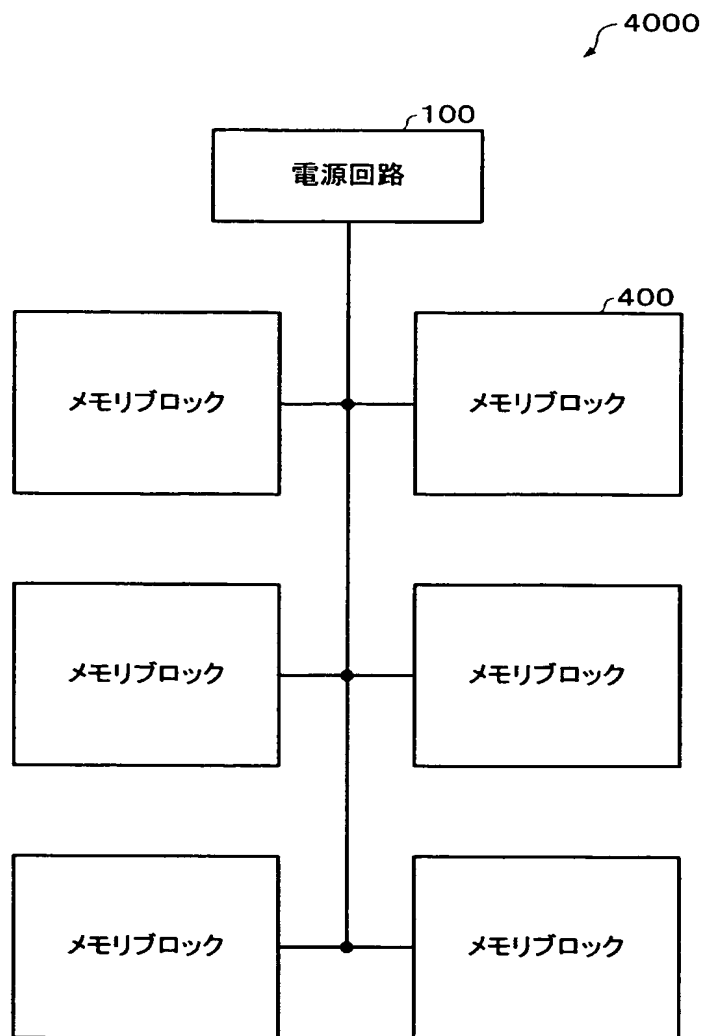
【符号の説明】

50 ワードライン、60 ビットライン、70 セレクトライン、80 ソースライン、300 ワードライン駆動部、310 単位ワード線駆動部、400 メモリブロック、410 メモリセル 411 セレクトゲート、412 ワードゲート、413 ONO 膜、417 窒化膜、500 セレクトライン駆動部、510 単位セレクトライン駆動部、700 ソースライン駆動部

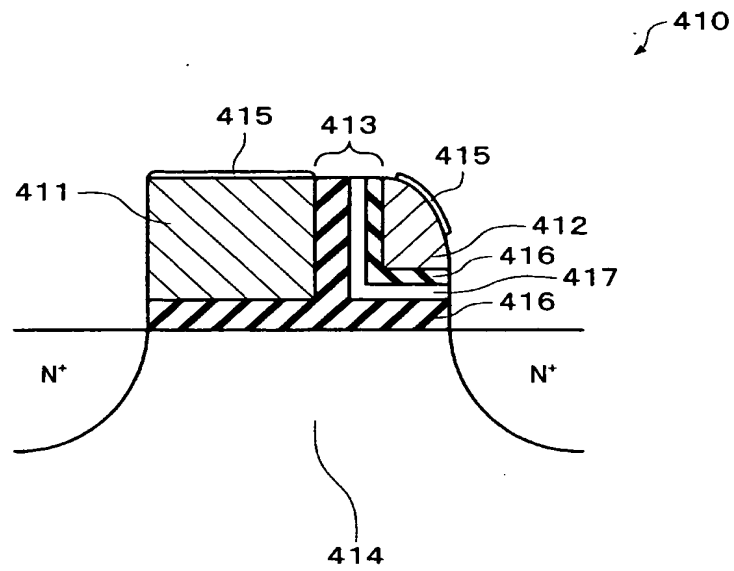
【書類名】

図面

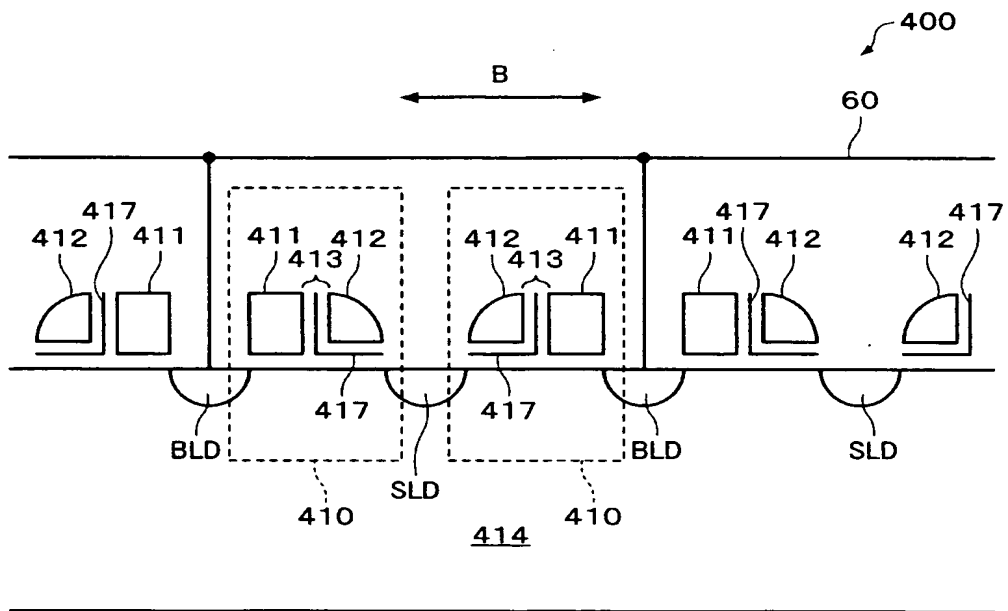
【図 1】



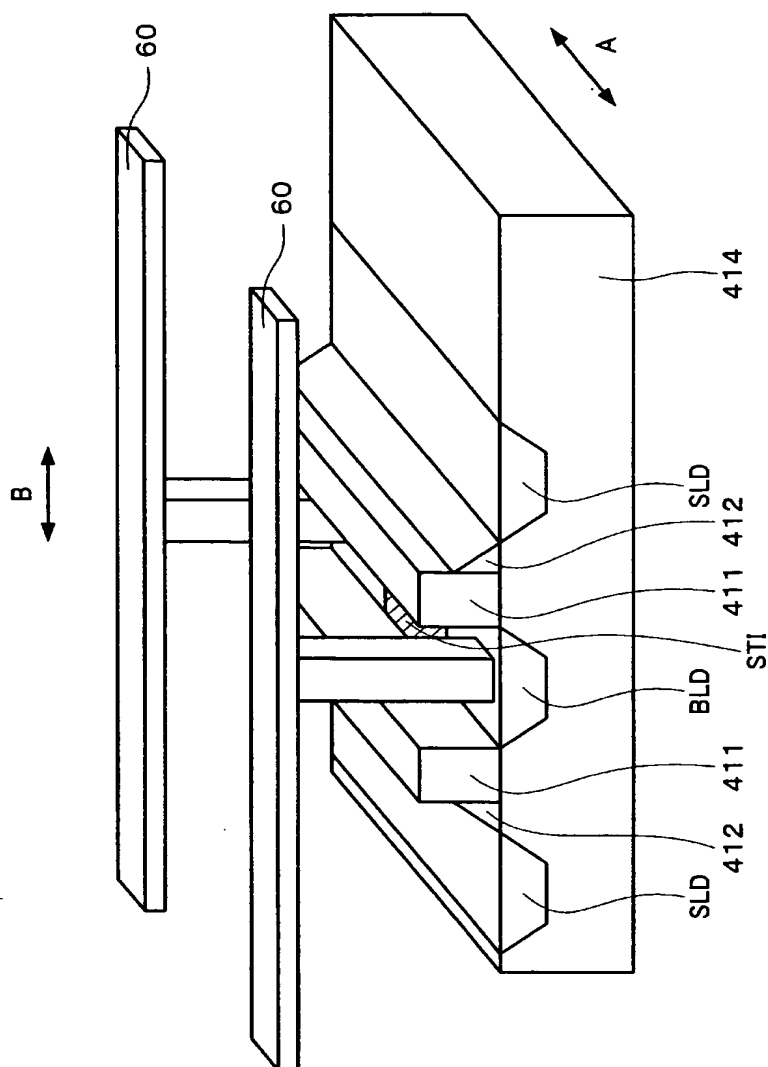
【図 3】



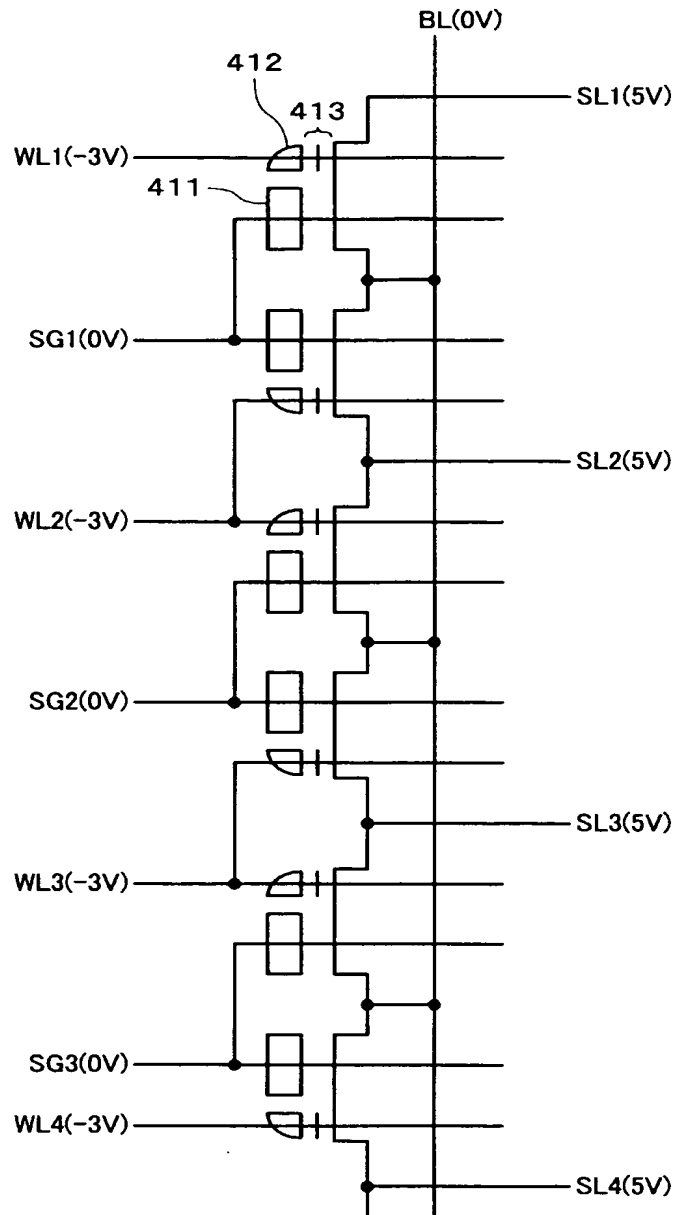
【図 4】



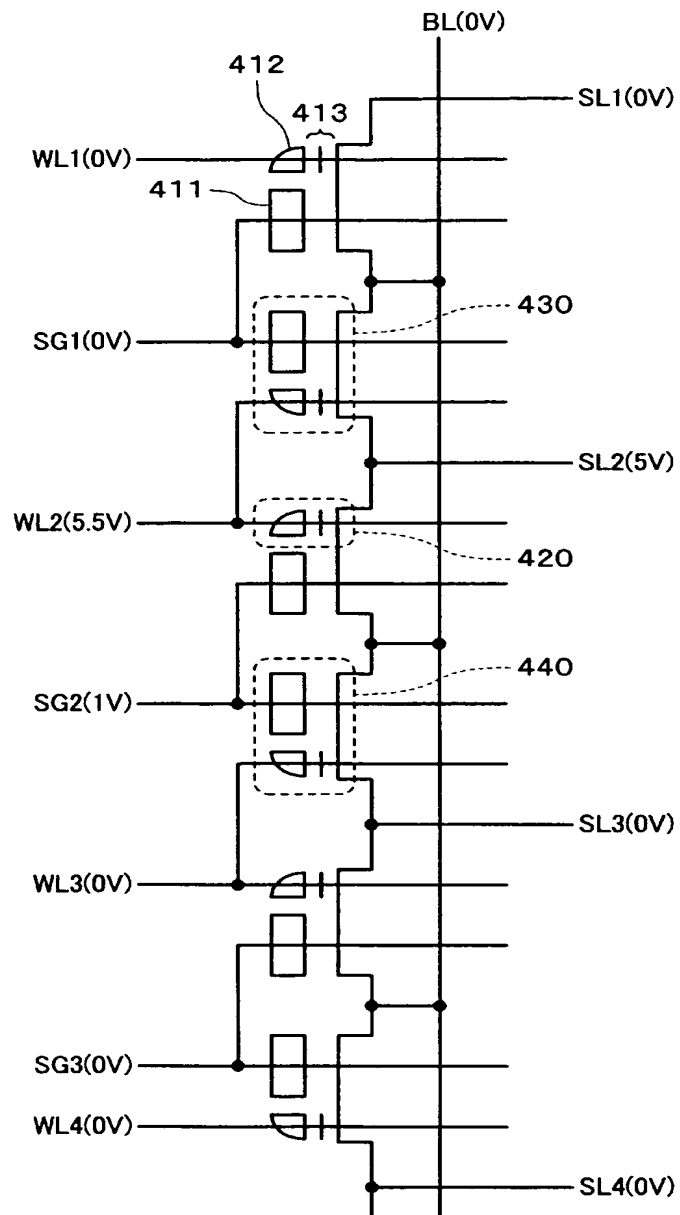
【図 5】



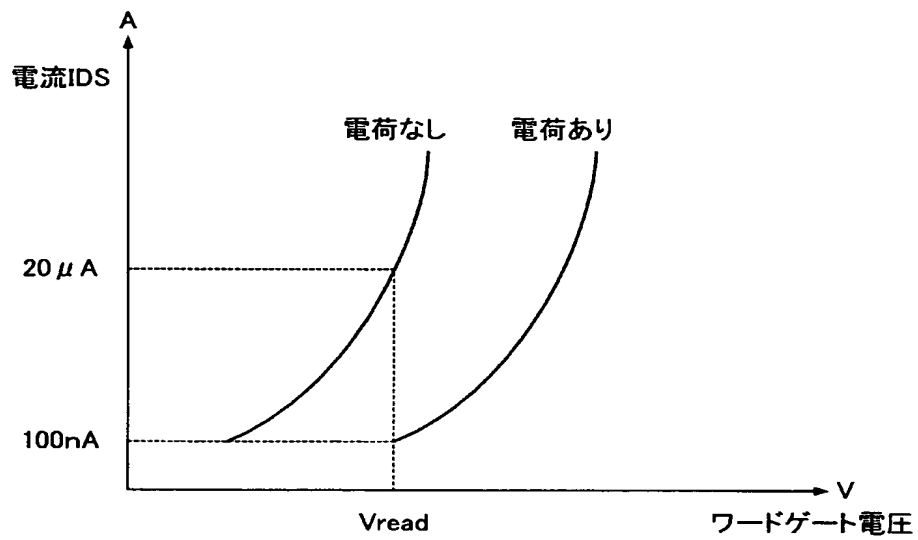
【図 6】



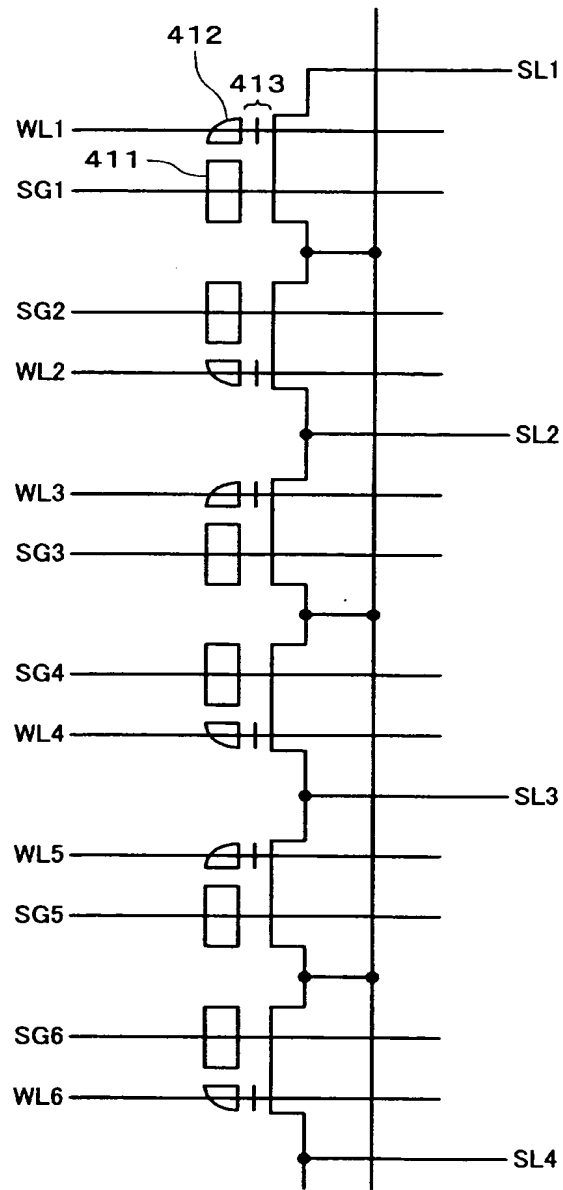
【図 7】



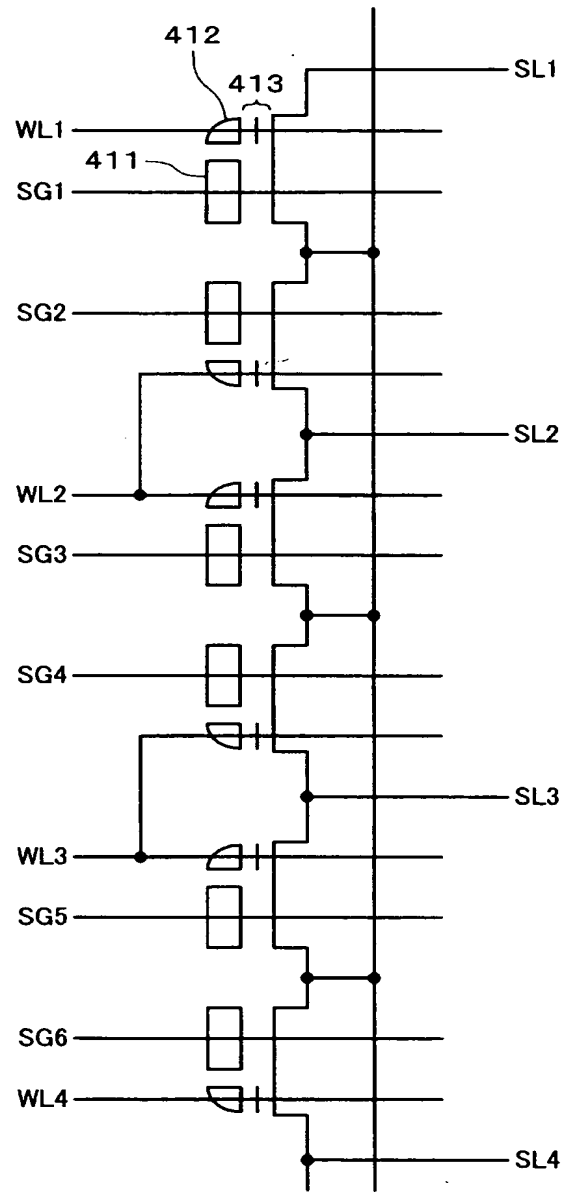
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 レイアウトサイズの小さな不揮発性半導体記憶装置を提供すること。

【解決手段】 行方向及び列方向に複数のメモリセル 4 1 0 が配設されて構成されたメモリセルアレイ 4 0 0 0 を有し、前記複数のメモリセル 4 1 0 の各々は、ソース領域と、ドレイン領域と、前記ソース領域及び前記ドレイン領域間のチャネル領域と対向して配置されたセレクトゲート 4 1 1 及びワードゲート 4 1 2 と、前記ワードゲート 4 1 2 と前記チャネル領域との間に形成された不揮発性メモリ素子 4 1 3 とを有し、ワードライン駆動部 3 0 0 は、複数の単位ワードライン駆動部 3 1 0 を有し、複数の単位ワードライン駆動部 3 1 0 の各々は、前記列方向に隣接する 2 つの前記ワードゲート 4 1 2 にそれぞれ接続されている 2 本の前記ワードライン 5 0 を駆動する。

【選択図】 図 2

特願 2 0 0 2 - 3 5 7 8 6 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社